

Requested document:	JP1144683 click here to view the pdf document
---------------------	---

INSULATED-GATE FIELD-EFFECT TRANSISTOR

Patent Number: JP1144683
Publication date: 1989-06-06
Inventor(s): MATSUZAKI KAZUO
Applicant(s): FUJI ELECTRIC CO LTD
Requested Patent: ☐ [JP1144683](#)
Application Number: JP19870302837 19871130
Priority Number(s):
IPC Classification: H01L29/78; H01L29/68
EC Classification:
Equivalents: JP2594296B2

Abstract

PURPOSE: To prevent the occurrence of a latch-up while obtaining high input impedance and high-speed switching characteristics by digging a trench in the main surface of an silicon wafer, forming a gate oxide film and a gate electrode onto the inner side face of the trench and shaping structure in which MOS structure is shaped in the thickness direction of the silicon wafer.

CONSTITUTION: A semiconductor drain region 33 having one conductivity type, a buffer layer 34 having a different conductivity type, a conductivity modulation region 35 having the same conductivity type as that of the buffer layer 34, a channel forming region 37 having the same conductivity type as that of the region 33 and a source region 38 having the same conductivity type as that of the region 35 are deposited in the order. A gate insulating film 39, which is shaped into the whole surface of the inner surface of a trench section reaching up to the region 35 through the region 37 from the partial surface of the source region 38, covers the whole surface of a channel-section side face in the region 37 on the inner side face of the trench section and extends up to the upper sections of the side faces of the region 38 and the region 35, a gate electrode 40 formed so as to be buried into the trench section on the whole gate insulating film 39 on the inner surface of the trench section, and a low resistance region 36 reaching into the region 35 from sections except a channel section in the region 37 and having the same conductivity type as that of the region 37 are shaped.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平1-144683

⑤ Int. Cl.⁴H 01 L 29/78
29/68

識別記号

3 2 1

庁内整理番号

J-8422-5F
8526-5F

④ 公開 平成1年(1989)6月6日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 絶縁ゲート電界効果トランジスタ

⑰ 特 願 昭62-302837

⑱ 出 願 昭62(1987)11月30日

⑲ 発 明 者 松 崎 一 夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 絶縁ゲート電界効果トランジスタ

2. 特許請求の範囲

1) 伝導度変調形の絶縁ゲート電界効果トランジスタであって、一導電形を有するドレイン領域、該ドレイン領域とは導電形の異なるバッファ層、該バッファ層と同じ導電形を有する伝導度変調領域、前記ドレイン領域と同じ導電形を有するチャンネル形成領域、前記伝導度変調領域と同じ導電形を有するソース領域がこの順に堆積され、前記ソース領域の一部表面から前記チャンネル形成領域を通して前記伝導度変調領域にまで達する溝部の内面全面に形成されかつ前記溝部内側面では前記チャンネル形成領域のチャンネル部側面の全面を覆い前記ソース領域と前記伝導度変調領域の側面上まで延びるゲート絶縁膜、前記溝部内面の全ゲート絶縁膜上にこの溝部に埋め込まれるように形成したゲート電極、および前記チャンネル形成領域内のチャンネル部以外の部分から前記伝導度変調領域内まで達し前記チャンネル形成領域と同じ導

電形を有する低抵抗領域を備えたことを特徴とする絶縁ゲート電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高入力インピーダンス、高速スイッチング特性を有し、かつ大電力化が可能なパワースイッチング半導体装置に関する。

〔従来の技術〕

この種のパワースイッチング半導体装置として従来バイポーラトランジスタや絶縁ゲート形トランジスタが知られている。第6図、第7図にこれらの構造を素子断面図で示す。

第6図のバイポーラ形トランジスタにおいて1はベース電極、2はベース領域(P)、3はエミッタ電極、4はエミッタ領域(N)、5はコレクタ領域(N⁻)、6はコレクタ領域5より高不純物濃度のコレクタ領域(N⁺)、7はコレクタ電極を表す。このような構造をもつバイポーラ形トランジスタは、エミッタ領域4からの少数キャリアの注入をベース電流により励起し、大半の少数キャリアを

ベース領域2を通過してコレクタに集めるという電流制御方式のため、入力インピーダンスが低く、高速スイッチング動作が困難であり、また二次降伏現象により素子の動作範囲が制限される。

第7図の絶縁ゲート形トランジスタでは、ゲート電極8、ゲート酸化膜9、ソース電極10、ソース領域(N^+)11、チャンネル領域(P)12、低不純物濃度のドレイン領域(N^-)13、高不純物濃度のドレイン領域(N^+)14およびドレイン電極15から構成され、この絶縁ゲート形トランジスタは電圧駆動形スイッチング素子であって、高入力インピーダンス、高速スイッチング特性を有するパワースwitching素子として有望なものである。ところが、絶縁ゲート形トランジスタはチャンネル誘起により、ソースドレイン間を多数キャリアが流れるユニボール形のため低抵抗化し難く大電力用には適していない。これに対して以上の素子を改良した伝導度変調形の絶縁ゲート形トランジスタがあり、その素子構造を第8図に示す。第8図において、16はゲート電極、17はゲート酸化

膜、18はソース電極、19はソース領域(N^+)、20はチャンネル形成領域(P)、21は伝導度変調領域(N^-)、22はドレイン領域(P^+)、23はドレイン電極である。第8図が第7図と異なる所は、ドレイン領域からの少数キャリアの注入が起こるように第8図では第7図のドレイン領域14とは逆導電形のドレイン領域22(P^+)を設けたことにあり、従来の絶縁ゲート形トランジスタ動作に加えて領域21(N^-)に伝導度変調を起こさせ、電流密度を大きくし、低抵抗化、大電力化を可能にしたものである。しかし、この素子はN-P-N-P構造をもつため、サイリスタ動作を起こしやすく、ラッチアップ現象の発生を抑制する必要があることから、その改良形も開発されている。

第9図は第8図の構造の改良形であり、ゲート電極24、ゲート酸化膜25、ソース電極26、ソース領域(N^+)27、チャンネル形成領域(P)28、低抵抗領域(P^+)29、伝導度変調領域(N^-)30、ドレイン領域(P^+)31およびドレイン電極32により構成されている。その改良点はチャンネル形成領域28

- 3 -

の下部にチャンネル形成領域28と同じ導電形の低抵抗領域29(P^+)を設けることにより、チャンネル部近傍を通りソース領域27(N^+)へ至る少数キャリアの注入をできる限り緩和し、ソースドレイン間のホール電流による電圧降下を低減してラッチアップの発生を防止しようとしたことにある。またこの種の改良形にはチャンネル形成領域の内部に低抵抗領域を設ける別の構造も提案されている。

なお以上Nチャンネル素子の場合を説明してきたが、N形半導体層とP形半導体層とをすべて反転したPチャンネル素子に関しても同様である。

〔発明が解決しようとする問題点〕

しかしながら、第9図に示した改良形素子も現状ではなお十分にラッチアップ対策がなされているとは言いがたい。第10図は第9図の一部を拡大して示した模式図であり、矢印で電子と正孔の流れを表す。第10図において実線の矢印はソース領域27(N^+)からチャンネル形成領域28(P)の表面反転層を通り伝導度変調領域30(N^-)に至る電子

の流れ、点線の矢印は正孔の流れを示している。 R_{p1} はこの正孔が流れる領域の抵抗を表すものであり、正孔電流 I_h による電圧降下 $I_h R_{p1}$ が大きく、ソース領域27(N^+)とチャンネル形成領域28(P)との接合のビルトイン電圧に近づくとソース領域27(N^+)からチャンネル形成領域28(P)に電子が注入され、第9図に示したドレイン領域31(P^+)、伝導度変調領域30(N^-)、チャンネル形成領域28(P)およびソース領域27(N^+)で構成される寄生サイリスタがラッチアップする。したがって低抵抗領域29(P^+)を設けることにより、チャンネル形成領域28(P)を通る正孔をできるだけ少なく正孔電流 I_h による電圧降下を小さくして、ラッチアップの発生する電流を増加させるようにしたのが第9図に示した構造であるが、実際上はチャンネル形成領域28(P)の下部に低抵抗領域29(P^+)を設けると、この構造では製造工程上、チャンネル部をつぶすことなくチャンネル形成領域28のうち、ソース領域27(N^+)から伝導度変調領域30(N^-)へ至る多数キャリアの電流経路部以

- 4 -

外を低抵抗領域29(P⁺)で完全に取り囲むようにするのは困難であって、正孔は直接チャンネル形成領域28を通るものが多い。さらにチャンネル部に影響を及ぼすことなく、低抵抗領域29の低抵抗化を図ることは不可能なこと、したがってソースドレイン間の少数キャリア電流による電圧降下を低減することには限界がある。そのほか第9図に示した構造ではチャンネル長を制御するために、チャンネル形成領域28(P)とソース領域27(N⁺)の形成がゲート電極24をマスクとした二重拡散で行われ、これら各領域を形成するのに使用される不純物材料および拡散条件が制限されるので、チャンネル長の制御が困難であるという問題もある。

本発明は上述の点に鑑みてなされたものであり、その目的は高入力インピーダンス、高速スイッチング特性を有する絶縁ゲート形トランジスタの特徴を最大限に利用するとともに、その欠点である低電流密度に対しては伝導度変調を生ずるような構造をもち、しかも伝導度変調形の絶縁ゲートトランジスタに備わるサイリスタ動作に基づくラッ

- 7 -

上に、この溝部に埋め込まれるように形成したゲート電極40およびチャンネル形成領域37内のチャンネル部以外の部分から伝導度変調領域35内まで達し、チャンネル形成領域37と同じ導電形を有する低抵抗領域36を具備した構造としたものである。
〔作用〕

本発明の絶縁ゲート電界効果トランジスタは以上のごとく構成したことにより、オン状態ではゲート電極40にしきい値以上の電圧を印加して、ゲート絶縁膜39とチャンネル形成領域37との界面にチャンネル部を形成し、ソース領域38からの多数キャリアの注入とドレイン領域33からの少数キャリアの注入が伝導度変調領域35に同時に起こり、伝導度変調領域35を流れる電流密度を高める作用をもたらし、さらにチャンネル部以外のチャンネル形成領域37の全域にわたって低抵抗領域36を設けてあるために、ドレイン領域33から注入された少数キャリア電流による電圧降下を低減させ、サイリスタ構造を有しているにも拘らず、NPNトランジスタの動作を事実上防止し、ラッチアップ

- 9 -

チャップの発生を防止し、製造工程上の不都合を伴うことなく、高入力インピーダンス、大電力化を満足することができる新規な絶縁ゲート電界効果トランジスタを提供することにある。

〔問題点を解決するための手段〕

上記問題を解決するための本発明の絶縁ゲート電界効果トランジスタは第1図の通り構成したものである。すなわち、第1図において本発明は一導電形を有する半導体ドレイン領域33、このドレイン領域33とは導電形の異なるバッファ層34、このバッファ層34と同じ導電形を有する伝導度変調領域35、ドレイン領域33と同じ導電形を有するチャンネル形成領域37、伝導度変調領域35と同じ導電形を有するソース領域38がこの順に堆積され、ソース領域38の一部表面からチャンネル形成領域37を通して伝導度変調領域35にまで達する溝部の内面全面に形成し、かつ溝部内側面ではチャンネル形成領域37のチャンネル部側面の全面を覆いソース領域38と伝導度変調領域35の側面上まで延びるゲート絶縁膜39、溝部内面の全ゲート絶縁膜39

- 8 -

を起こりにくくするとともに低抵抗領域36を少数キャリアの吸い込み口として少数キャリアの消滅を図り、本トランジスタが高速スイッチング特性をもち大電力化を可能にしたものである。

とくに最大の課題である寄生サイリスタに起因するラッチアップの発生防止に対しては第1図の一部を拡大して示した第2図の模式図を参照して前述の従来素子の第10図との対比で本発明の作用を述べる。

第2図ではゲート電極40を伝導度変調領域35に達するまで埋め込み、その側面でゲート絶縁膜39に沿ってチャンネル形成領域37にチャンネル部が形成される構成としてあり、チャンネル部すなわち実線の矢印で示した電子電流経路を除くチャンネル形成領域37を低抵抗領域36で埋めてしまうことができる。したがって点線の矢印で示した正孔電流は第2図では大部分が低抵抗領域36を通り、その抵抗 R_{p2} は第10図の R_{p1} に比べて $R_{p1} \gg R_{p2}$ であり、正孔電流 I_h による電圧降下は $I_h R_{p1} \gg I_h R_{p2}$ となるから本発明の場合電圧降下を極端

- 10 -

に小さくすることができる。ラッチアップが生じない条件は前述のようにPN接合のビルトイン電圧 $\gg I_n R_{pi} (i=1,2)$ であるから R_{pi} を非常に小さくすることができる本発明の構造は基本的にラッチアップを生ずることがないのである。

〔実施例〕

本発明は第1図に示した構成と上記の作用をもつ絶縁ゲート電界効果トランジスタであり、以下のごとく製造される。

まずP⁺基板33の上にN⁺層34、N⁻層35、P層37、N⁺層38を順次積層した後、N⁺層38からN⁻層35まで至る溝を設け、チャンネルを形成する部分の溝側面にゲート酸化膜39を付し、溝内にポリシリコン電極40を埋め、別に設けた溝部から不純物拡散を行い、チャンネル形成部分のできるだけ近傍まで達するP⁺層36を形成することにより、チャンネル形成部分以外のP層37はすべて低抵抗となるP⁺層36としたものである。

これらの主な製造工程を以下第3図、第4図、第5図を用いて順を追って説明する。第1図と同

- 1 1 -

し表面を平坦となし、各溝45、45a、45b内にポリシリコン層40を埋め込む(第4図J)。次にチャンネルを形成する部分に対応する溝部45に埋め込んだポリシリコン層40をレジスト46で覆い他の溝部45a、45bに埋め込まれたポリシリコン層を除去する。このときのレジストマスク46はポリシリコン層40を覆うことができるだけで十分であり、その他の部分は第4図Gの工程で形成されたCVD SiO₂膜44がマスクとして残っているので本工程におけるマスクアラインメントの精度は重視しなくてもよい(第5図K)。続いてウエハ表面から高濃度のボロンを注入し、不純物拡散を行うと、レジスト46および酸化膜39でマスクされた部分の溝部45a、45bからボロンが注入されてその結果低抵抗の拡散層36が形成される。このとき最適拡散条件を選ぶことにより低抵抗拡散層36をチャンネルの形成される部分まで極力近づけることができ、しかも本工程における拡散は溝形成に用いたマスクに対して自己整合形となっている(第5図L)。その後CVD酸化膜(SiO₂)47を形成し

- 1 3 -

じ部分は第3図、第4図、第5図でも同一符号で表してある。P⁺基板のシリコンウエハ33の上にN⁺層34、N⁻層35をこの順に積層する。この工程ではエピタキシャル成長法と拡散法のいずれを用いてもよい(第3図A)。次にN⁻層35の表面に酸化膜43(SiO₂)を形成し(第3図B)、活性領域以外の酸化膜43を通常のフォトリソエッチング工程により除去する。ここでは活性領域のみ図示してある(第3図C)。その後活性領域にイオン注入などによりボロン(B)を打ち込み(第3図D)、所望の深さに拡散してチャンネル形成層37を形成する(第3図E)。続いてソース層を形成するため例えば砒素(As)をイオン注入し(第4図F)、N⁺層38を形成した後、CVD法により酸化膜44(SiO₂)を厚くつける(第4図G)。次にこの酸化膜44およびレジストをマスクとしてN⁻層35に至る溝45、45a、45bをエッチングして形成する(第4図H)。溝エッチ後の表面処理を施した後ゲート酸化膜(SiO₂)39を形成する(第4図I)。次いでこのウエハ表面全体にポリシリコンを形成

- 1 2 -

(第5図M)、通常のフォトリソエッチングを経てコンタクトホールを形成した後、例えばAl-Siの配線41と裏面電極42を蒸着することにより、この工程図では図示を省略した第1図の構造をもつ本発明の絶縁ゲート電界効果トランジスタが得られる。

以上本発明の素子構造とその製造方法で述べたように本発明ではシリコン基板の主表面から伝導度変調領域まで達する溝を掘ってこの溝にゲート電極を埋め、溝内の側面に形成されるチャンネル部の近傍まで両隣の溝から低抵抗層を拡散して形成することが実現されるために、この低抵抗層が有効に働き、前述したような少数キャリアの挙動により、ラッチアップ現象を生ずることのない伝導度変調形絶縁ゲートトランジスタを得たものである。

なおこれまですべてNチャンネル形について述べてきたが、導電形を逆にしたPチャンネル構造のものにも本発明が適用できることは勿論である。

〔発明の効果〕

伝導度変調形のMOS-FETは従来はチャン

ネル形成領域のチャンネル部分に影響を及ぼすことなくソース領域からドレイン領域への多数キャリアの電流経路を低抵抗領域で完全に取り囲み、ソース領域に至る少数キャリアの注入を緩和し、少数キャリア電流による電圧降下を低減してラッチアップの発生を防止するように構成することが製造上不可能であったのに対して、本発明では実施例で述べたようにシリコンウエハの主表面に溝を掘り、この溝内側面にゲート酸化膜およびゲート電極を設け、MOS構造をシリコンウエハの厚さ方向に形成した構造としたため、低抵抗領域を形成するための拡散端は表面から掘った別の溝を利用して自己整合が可能となり、チャンネル部近傍まで低抵抗領域の拡散形成が容易に行われ、チャンネル部以外の部分がチャンネル形成領域と同じ導電性を有するベース領域を備えることができるので、少数キャリアの大部分がこの低抵抗領域を流れることになり、寄生サイリスタによるラッチアップの発生を防ぐことができる。しかも製造工程上もチャンネル形成領域はマスクを用いるこ

- 1 5 -

流れを説明するために第9図の一部を拡大して示した模式図である。

8, 16, 24, 40……ゲート電極、9, 17, 25, 39……ゲート酸化膜、10, 18, 26……ソース電極、11, 19, 27, 38……ソース領域(N^+)、20, 28, 37……チャンネル形成領域(P)、13……ドレイン領域(N^-)、14……ドレイン領域(N^+)、22, 31, 33……ドレイン領域(P^+)、21, 30, 35……伝導度変調領域(N^-)、29, 36……低抵抗領域(P^+)、34……バッファ層(N^+)、41……Al-Si配線、42……裏面電極、43, 44, 47……酸化膜(SiO_2)、45, 45a, 45b……溝、46……レジスト。

となくウエハ全面拡散で得られ、低抵抗領域は溝を利用した拡散自己整合形を採用し、チャンネル長は拡散条件だけで任意に決定されるなど従来に比べてフォトリソ工程が短縮されるという利点をもっている。その結果本発明により、ラッチアップの発生を防止し、製造効率が高く、高入力インピーダンス、高速スイッチング特性を有し、大電力用として用いるのに適した絶縁ゲート電界効果トランジスタを得ることができたものである。

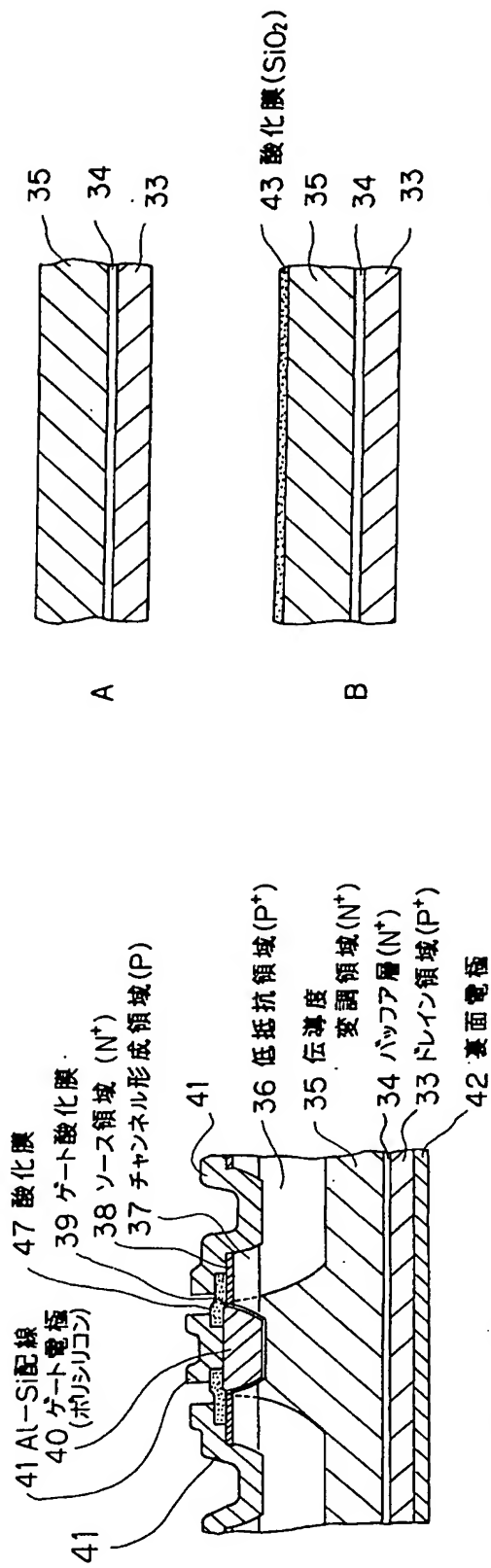
4. 図面の簡単な説明

第1図は本発明の絶縁ゲート電界効果トランジスタの構成断面図、第2図はキャリアの流れを説明するための第1図の一部を拡大して示した模式図、第3図、第4図、第5図は本発明の絶縁ゲート電界効果トランジスタの主な製造工程図、第6図は従来のバイポーラ形トランジスタの構成断面図、第7図は同じく絶縁ゲート形トランジスタの構成断面図、第8図は同じく伝導度変調形の絶縁ゲート形トランジスタの構成断面図、第9図は第8図の改良形の構成断面図、第10図はキャリアの

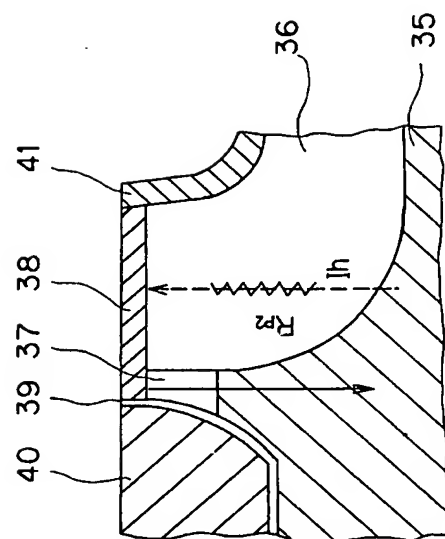
- 1 6 -

代理人弁護士 山口 森

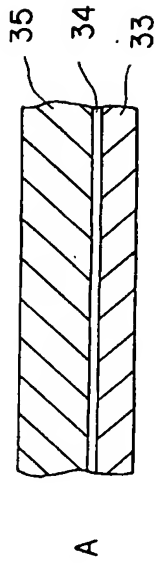




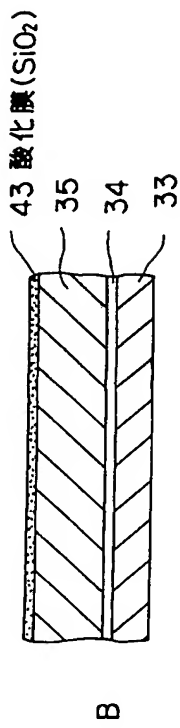
第 1 図



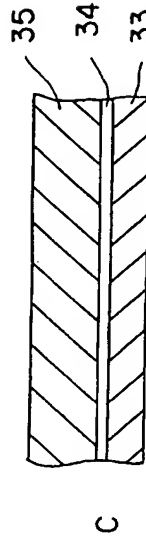
第 2 図



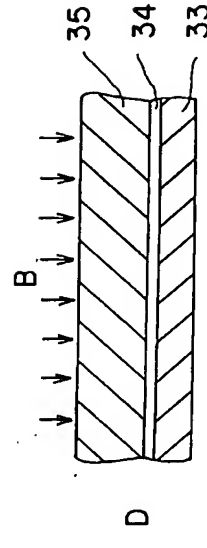
A



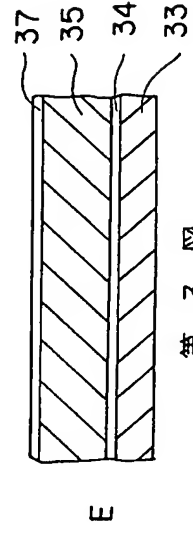
B



C

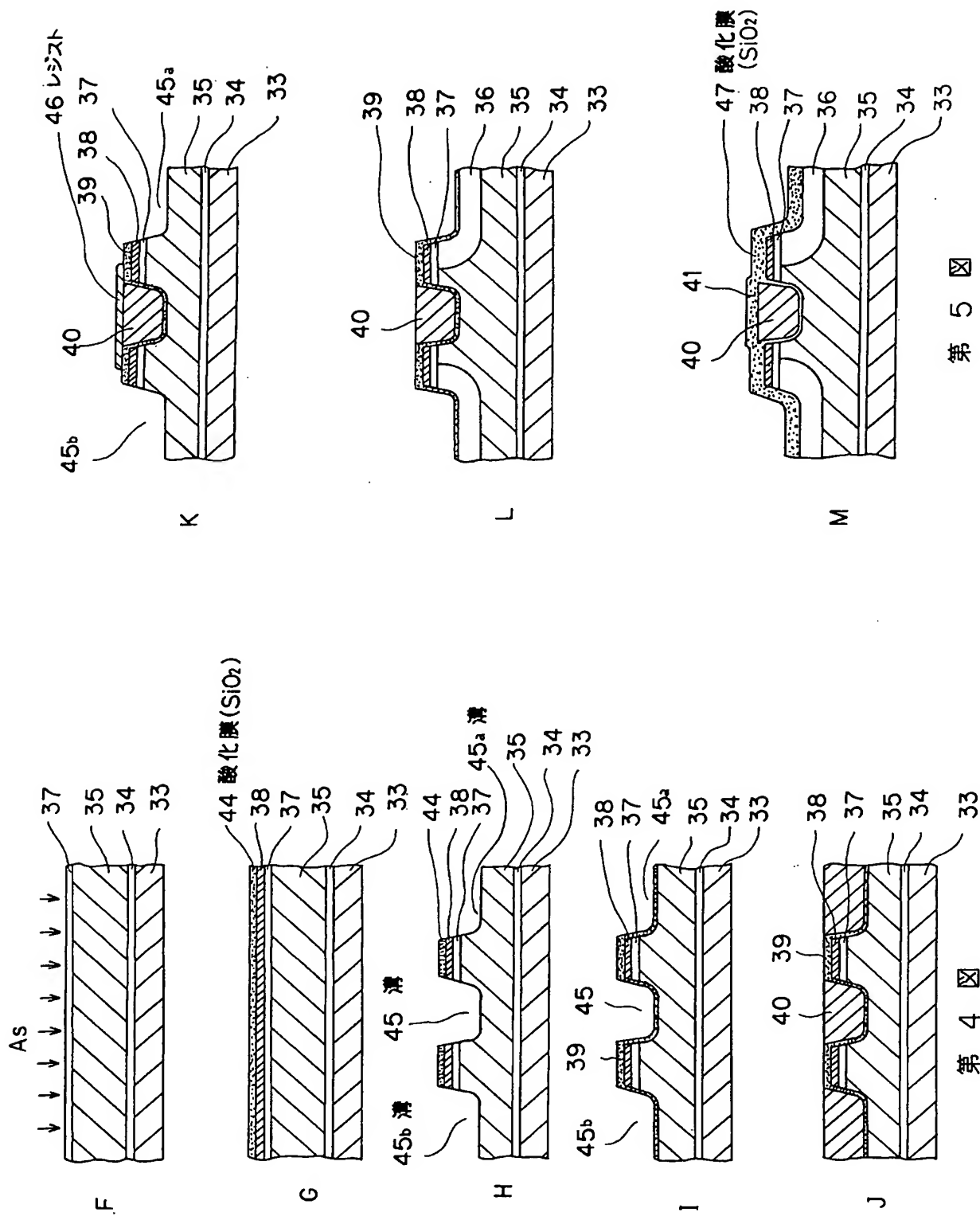


D



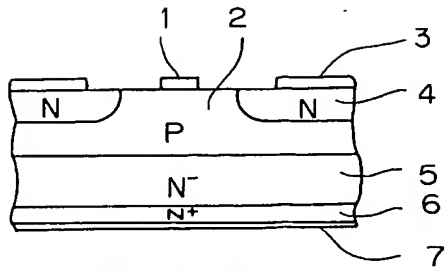
E

第 3 図

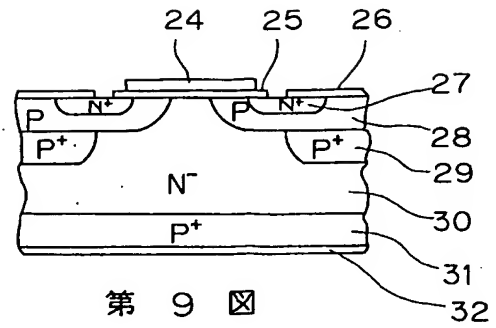


第 5 図

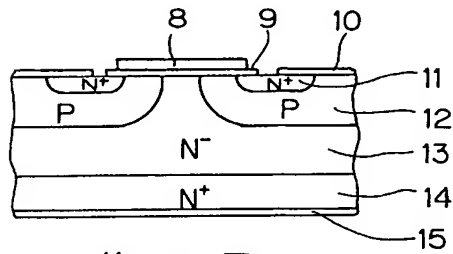
第 4 図



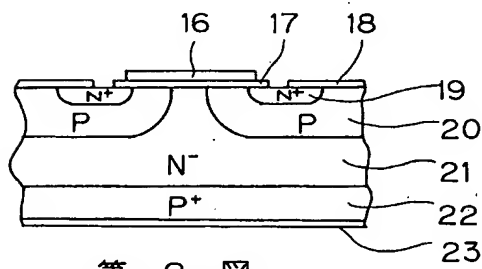
第 6 図



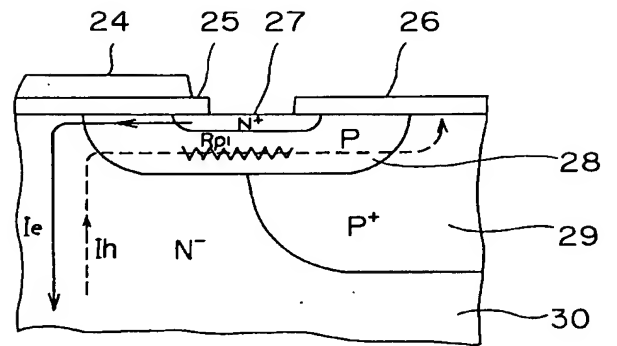
第 9 図



第 7 図



第 8 図



第 10 図